


SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

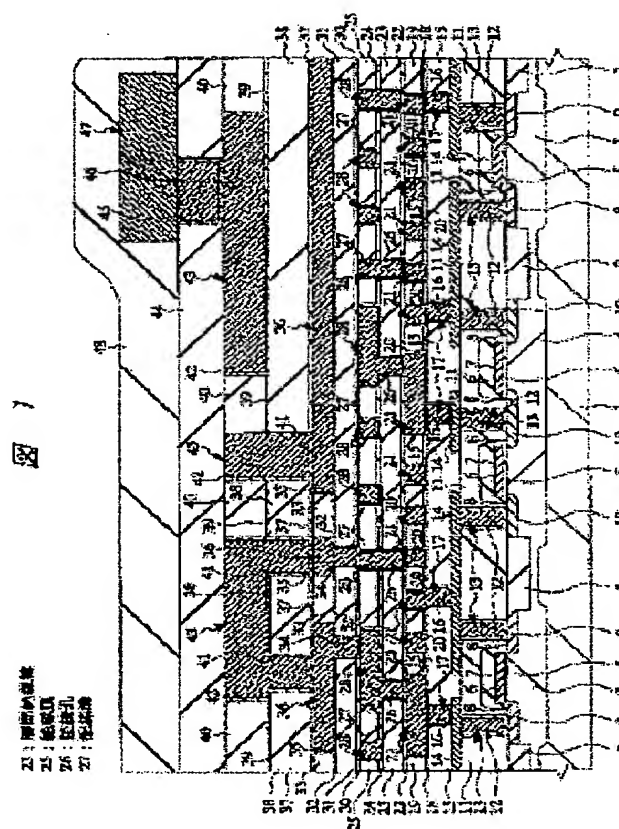
Patent number: JP2002164428
Publication date: 2002-06-07
Inventor: OSHIMA TAKAFUMI; MIYAZAKI HIROSHI; AOKI HIDEO; OMORI KAZUTOSHI
Applicant: HITACHI LTD
Classification:
- international: H01L21/768; C23C16/42; H01L21/316; H01L21/8238; H01L27/092
- european:
Application number: JP20000362462 20001129
Priority number(s):

Also published as:

 US2002100984 (A)**Abstract of JP2002164428**

PROBLEM TO BE SOLVED: To provide a technique capable of improving heat resistance of a dual damascene wiring and resistance to electromigration.

SOLUTION: An interlayer insulating film 23 surrounding contact holes 26 for connecting a wiring 21 of a second wiring layer with a wiring 28 of a third wiring layer is constituted using the insulating material having relatively small Young's modulus compared with Young's modulus of the insulating material constituting the insulating film 25 surrounding the wiring groove 27.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164428

(P2002-164428A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 1 L 21/768		C 2 3 C 16/42	4 K 0 3 0
C 2 3 C 16/42		H 0 1 L 21/316	X 5 F 0 3 3
H 0 1 L 21/316		21/90	M 5 F 0 4 8
21/8238		27/08	3 2 1 F 5 F 0 5 8
27/092			

審査請求 未請求 請求項の数37 O L (全 24 頁)

(21) 出願番号 特願2000-362462 (P2000-362462)

(22) 出願日 平成12年11月29日 (2000. 11. 29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大島 隆文

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 宮▲崎▼ 博史

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

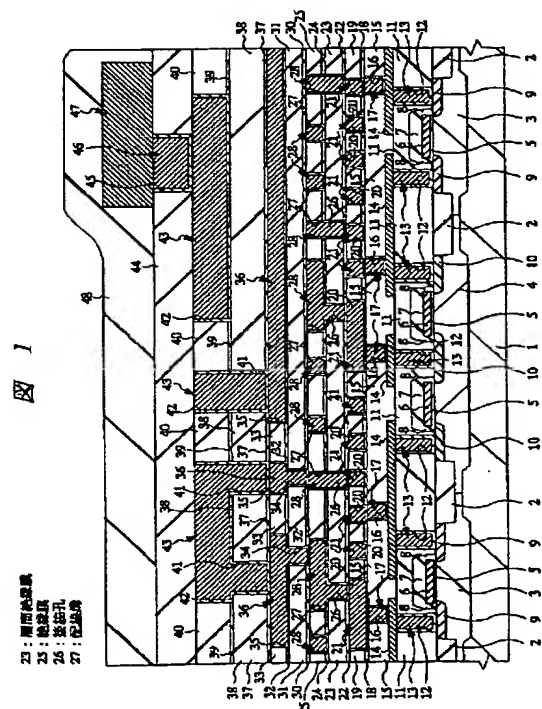
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 デュアルダマシン配線の耐熱性およびエレクトロマイグレーション耐性を向上することのできる技術を提供する。

【解決手段】 第2配線層の配線21と第3配線層の配線28とを接続するための接続孔26を取り囲む層間絶縁膜23を、配線溝27を取り囲む絶縁膜25を構成する絶縁材料が有するヤング率と比較して、相対的に小さいヤング率を有する絶縁材料で構成する。



【特許請求の範囲】

【請求項 1】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さいことを特徴とする半導体装置。

【請求項 2】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記第 1 絶縁層の比誘電率が、前記第 2 絶縁層の比誘電率よりも相対的に小さいことを特徴とする半導体装置。

【請求項 3】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記接続孔の孔径が約 $0.5 \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 4】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記第 1 絶縁層と前記第 2 絶縁層との間に、相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 5】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記配線を構成する主導電層は銅であることを特徴とする半導体装置。

【請求項 6】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率は 60 GPa 未満、前記配線溝が形成された第 2 絶縁層のヤング率は 60 GPa 以上であることを特徴とする半導体装置。

【請求項 7】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層は SiOF で構成され、前記配線溝が形成された第 2 絶縁層は SiO_2 で構成されることを特徴とする半導体装置。

【請求項 8】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層は SiOF で構成され、前記配線溝が形成された第 2 絶縁層は SiO_2 で構成され、前記接続孔の孔径が約 $0.5 \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 9】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層は SiOF で構成され、前記配線溝が形成された第 2 絶縁層は SiO_2 で構成され、前記第 1 絶縁層と前記第 2 絶縁層との間に、 SiN または SiC からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 10】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層のヤング率は 30 GPa 未満、前記配線溝が形成された第 2 絶縁層のヤング率は 30 GPa 以上であることを特徴とする半導体装置。

【請求項 11】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層は SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料で構成され、前記配線溝が形成された第 2 絶縁層は SiOF または SiO_2 で構成されることを特徴とする半導体装置。

【請求項 12】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層は SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料で構成され、前記配線溝が形成された第 2 絶縁層は SiOF または SiO_2 で構成され、前記接続孔の孔径が約 $0.2 \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 13】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、前記接続孔が形成された第 1 絶縁層は SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料で構成され、前記配線溝が形成された第 2 絶縁層は SiOF または SiO_2 で構成され、

前記第 1 絶縁層と前記第 2 絶縁層との間に、SiN または SiC からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 14】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層のヤング率は 6 GPa 未満、前記配線溝が形成された第 2 絶縁層のヤング率は 6 GPa 以上であることを特徴とする半導体装置。

【請求項 15】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層はポーラス HSQ 系材料で構成され、前記配線溝が形成された第 2 絶縁層は SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料、あるいは SiO₂ と SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料との積層で構成されることを特徴とする半導体装置。

【請求項 16】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層はポーラス HSQ 系材料で構成され、前記配線溝が形成された第 2 絶縁層は SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料、あるいは SiO₂ と SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料との積層で構成され、前記接続孔の孔径が約 0.13 μm 以下であることを特徴とする半導体装置。

【請求項 17】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層はポーラス HSQ 系材料で構成され、前記配線溝が形成された第 2 絶縁層は SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料、あるいは SiO₂ と SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料との積層で構成され、前記第 1 絶縁層と前記第 2 絶縁層との間に、SiO₂ からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 18】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に相対的にヤング率の小さい

第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 19】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記第 1 絶縁層の比誘電率が、前記第 2 絶縁層の比誘電率よりも小さいことを特徴とする半導体装置の製造方法。

【請求項 20】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、

前記接続孔の孔径が約 0.5 μm 以下であることを特徴とする半導体装置の製造方法。

【請求項 21】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、

前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄いストッパ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストッパ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【請求項 22】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁

層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、

前記 (c) 工程で前記接続孔および前記配線溝の内部に埋め込まれる主導電層は、銅であることを特徴とする半導体装置の製造方法。

【請求項 23】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にヤング率が 60 GPa 未満の第 1 絶縁層、およびヤング率が 60 GPa 以上の第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 24】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にヤング率が 60 GPa 未満の第 1 絶縁層、およびヤング率が 60 GPa 以上の第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、

前記第 1 絶縁層および前記第 2 絶縁層は CVD 法で形成されることを特徴とする半導体装置の製造方法。

【請求項 25】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に SiOF で構成される第 1 絶縁層、および SiO₂ で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 26】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に SiOF で構成される第 1 絶縁層、および SiO₂ で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記接続孔の孔径が約 0.5 μm 以下であることを特徴

とする半導体装置の製造方法。

【請求項 27】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に SiOF で構成される第 1 絶縁層、および SiO₂ で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄い SiN または SiC からなるストップ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストップ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【請求項 28】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にヤング率が 30 GPa 未満の第 1 絶縁層、およびヤング率が 30 GPa 以上の第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 29】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にヤング率が 30 GPa 未満の第 1 絶縁層、およびヤング率が 30 GPa 以上の第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記第 1 絶縁層は CVD 法または塗布法で形成され、前記第 2 絶縁層は CVD 法で形成されることを特徴とする半導体装置の製造方法。

【請求項 30】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料で構成される第 1 絶縁層、および SiOF または SiO₂ で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 1】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料で構成される第 1 絶縁層、および SiOF または SiO₂ で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記接続孔の孔径が約 0.2 μm 以下であることを特徴とする半導体装置の製造方法。

【請求項 3 2】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上に SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料で構成される第 1 絶縁層、および SiOF または SiO₂ で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄い SiN または SiC からなるストップ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストップ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【請求項 3 3】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にヤング率が 6 GPa 未満の第 1 絶縁層、およびヤング率が 6 GPa 以上の第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 4】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にヤング率が 6 GPa 未満の第 1 絶縁層、およびヤング率が 6 GPa 以上の第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記第 1 絶縁層は塗布法で形成され、前記第 2 絶縁層は

CVD 法または塗布法で形成されることを特徴とする半導体装置の製造方法。

【請求項 3 5】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にポーラス HSQ 系材料で構成される第 1 絶縁層、SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料、あるいは SiO₂ と SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料との積層で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 6】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にポーラス HSQ 系材料で構成される第 1 絶縁層、SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料、あるいは SiO₂ と SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料との積層で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記接続孔の孔径が約 0.13 μm 以下であることを特徴とする半導体装置の製造方法。

【請求項 3 7】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、(a) 基板上にポーラス HSQ 系材料で構成される第 1 絶縁層、SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料、あるいは SiO₂ と SiOC 系材料、CF 系材料、HSQ 系材料、MSQ 系材料、BCB 系材料または PAE 系材料との積層で構成される第 2 絶縁層を順次形成する工程と、(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄い SiO₂ からなるストップ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストップ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、いわゆるデュアルダマシン (dual-damascene) 法を用いて形成された多層配線構造、およびそのような多層配線構造を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】半導体装置の高性能化および微細化に伴い、多層配線技術は半導体装置製造において必要な技術となっている。半導体集積回路における配線層の形成法として、絶縁膜上にアルミニウム (Al) 合金またはタングステン (W) 等の高融点金属薄膜を成膜した後、リソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成する方法が知られている。しかし、このアルミニウム合金等を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体装置の性能が低下する等の問題がある。特に、高性能なロジック LSI (large scale integrated circuit) においては、その性能阻害要因として大きな問題が生じている。

【0003】このため、絶縁膜に形成した溝上に銅 (Cu) を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP (chemical mechanical polishing) 法を用いて除去することにより溝内に配線パターンを形成する方法、いわゆるダマシン (damascene) 法が検討されている。なかでも、上層配線が形成される配線溝および上層配線と下層配線とを接続する接続孔をそれぞれ絶縁膜に形成した後、上記接続孔および配線溝に同時に配線用金属を埋め込むデュアルダマシン法は、前記アルミニウム合金等を用いる方法に比べて、配線抵抗を約20%程度減らせることに加えて、大幅な製造工程の簡略化、低コスト化およびQ T A T (quick turn-around time) 化を実現することができる。

【0004】ところで、上記配線溝が形成される絶縁膜 (以下、単に配線層間膜と略す)、および上記接続孔が形成される絶縁膜 (以下、単にビア (via) 層間膜と略す) には、それぞれエッチングストップ膜およびシリコン酸化膜 (SiO_2) が下層から順に堆積された積層構造が提案されている。シリコン酸化膜は、たとえばTEOS (tetra ethyl ortho silicate : $\text{Si}(\text{OC}_2\text{H}_5)_4$) ガスとオゾン (O_3) ガスとを用いたプラズマCVD (chemical vapor deposition) 法で成膜されるTEOS酸化膜からなる。なお、絶縁膜をTEOS酸化膜で構成する場合は、エッチングストップ膜として、通常プラズマCVD法で成膜されるシリコン窒化膜 (Si_3N_4) が用いられる。

【0005】しかし、シリコン酸化膜の比誘電率は約4程度、シリコン窒化膜の比誘電率は約7程度であること

から、デザインルールを $0.13\mu\text{m}$ とする世代以降では、配線容量の増大に起因する配線遅延の急増を銅配線の導入だけでは抑えられないことが考えられた。そこで、配線層間膜を構成する材料として、比誘電率が2〜3程度の低誘電率材料の採用が検討されている。

【0006】配線層間膜を低誘電率膜で構成することにより、シリコン酸化膜で構成した場合と比較して配線容量を低減することが可能となる。さらに所望する配線抵抗を得るために必要な相対的に厚い配線を形成しても、配線層間膜が低誘電率膜で構成されているので、同層の隣接する配線間の配線容量を相対的に低く抑えることが可能となる。

【0007】なお、低誘電率材料からなる層間絶縁膜を適用したダマシン配線の形成方法としては、幾つかの方法が提案されており、たとえばプレスジャーナル発行「月刊セミコンダクターワールド (Semiconductor World)」1998年11月号、P74〜P76には、デュアルダマシン配線に様々な低誘電率材料を採用した場合のエッチングプロセスについて述べられている。

【0008】また、辰巳の特開平8-316209号公報には、有機高分子系絶縁膜上に酸化シリコン系絶縁膜が形成された、低誘電率の積層絶縁膜に接続孔を開孔する際、酸化シリコン系絶縁膜をパターニング後、この酸化シリコン系絶縁膜パターンをマスクに下層の有機高分子系絶縁膜をO系ガスでプラズマエッチングする方法が開示されている。

【0009】また、鈴木らの特開平9-306988号公報には、下層配線を覆う第1絶縁膜上に、第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を形成した後、第2絶縁膜に開孔部を形成し、次いで第2絶縁膜よりもエッチング速度が速い第3絶縁膜を形成する。その後、第3絶縁膜に開孔部を露出させる溝を形成しかつ開孔部下の第1絶縁膜に接続孔を形成する方法が開示されている。

【0010】

【発明が解決しようとする課題】しかしながら、配線層間膜を低誘電率膜で構成し、ビア層間膜をシリコン酸化膜で構成した銅デュアルダマシンについて本発明者が検討したところ、以下のような問題点があることが明らかとなった。

【0011】たとえば室温から 500°C 程度の昇温によって接続孔内の接続部材である銅が熱膨張すると、接続孔を広げる方向に応力が発生する。しかし、ビア層間膜を構成するシリコン酸化膜は、熱応力が約 130MPa 程度、ヤング率が約 70GPa 程度とそれぞれ相対的に大きく、弾性変形しにくいという特性がある。そのため、シリコン酸化膜は銅の応力に強く反発し、結果として、シリコン酸化膜は接続孔内の銅を圧縮する方向に応力を発生する。

【0012】銅の膨張による応力はビア層間膜であるシ

リコン酸化膜の応力と反発しあうため、接続孔内の膨張した銅の一部が配線溝内の配線部材である銅に吸収される。降温により体積収縮が起きると、接続孔内を満たすだけの銅が不足して接続孔内にボイドが発生する。これにより、熱ストレスを与えられた接続孔内の接続部材の抵抗が上昇し、さらにはエレクトロマイグレーションによって配線の寿命が低下する。

【0013】本発明の目的は、デュアルダマシン配線の耐熱性およびエレクトロマイグレーション耐性を向上することのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体装置は、配線溝内に形成された配線と、配線とその下層配線とを接続する接続孔内に配線と一体に形成された接続部材とを有し、接続孔が形成された第1絶縁層のヤング率が、配線溝が形成された第2絶縁層のヤング率よりも相対的に小さいものである。

(2) 本発明の半導体装置の製造方法は、配線溝内に形成された配線と、配線とその下層配線とを接続する接続孔内に配線と一体に形成された接続部材とを有する半導体装置を製造する際、基板上に相対的にヤング率の小さい第1絶縁層、および相対的にヤング率の大きい第2絶縁層を順次形成する工程と、第1絶縁層の所定の領域に接続孔を形成し、第2絶縁層の所定の領域に配線溝を形成する工程と、接続孔および配線溝の内部に導電部材を埋め込む工程とを有するものである。

【0016】上記した手段によれば、配線が埋め込まれた配線溝を相対的にヤング率の大きい第2絶縁層で取り囲み、配線とその下層配線とを接続する接続孔を相対的にヤング率の小さい第1絶縁層で取り囲むことにより、昇温において接続孔内で配線と一体に形成された接続部材の体積が膨張しても、これに追従した第1絶縁層の弾性変形が起こり、また第2絶縁層が配線の体積膨張に対して、これを抑える働きをすることから、接続孔内の接続部材が配線溝内の配線部材へ吸収されるのを抑制することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】なお、本願において、半導体装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI (silicon on insulator) 基板やTFT (thin film

transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0019】さらに、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【0020】同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0021】（実施の形態1）図1は、本実施の形態1である半導体装置を示す半導体基板の要部断面図である。

【0022】半導体基板1の主面上の選択的な領域である素子分離領域2に囲まれてpウェル3またはnウェル4が形成されている。素子分離領域2によって囲まれた活性領域（pウェル3およびnウェル4）の表面にはゲート絶縁膜5が形成され、このゲート絶縁膜5の上には多結晶シリコンからなるゲート電極6が形成されている。ゲート電極6は、半導体基板1の上に多結晶シリコン膜およびキャップ絶縁膜7を順次堆積し、これらを順次エッチングして形成される。さらに、ゲート電極6の側壁にはサイドウォールスペーサ8が設けられている。

【0023】pウェル3にはゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成されたn型半導体領域9が設けられている。このn型半導体領域9は、nチャネルMISFET (metal insulator semiconductor field effect transistor) のソース、ドレインを構成する。同様に、nウェル4にはゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成されたp型半導体領域10が設けられている。このp型半導体領域10は、pチャネルMISFETのソース、ドレインを構成する。

【0024】なお、本実施の形態1における半導体装置では、半導体基板1に、たとえばASIC (application specific integrated circuit) などの構成要素であるCMOS (complimentary metal oxide semiconductor) デバイスを形成した形態であるが、半導体基板1にバイポーラトランジスタ、抵抗、容量素子などの種々の半導体素子を形成した態様を採用することができる。

【0025】また、nチャネルMISFETのソース、ドレインおよびpチャネルMISFETのソース、ドレインを相対的に低濃度な半導体領域と相対的に高濃度な

半導体領域とかなる LDD (lightly doped drain) 構造としてもよい。

【0026】さらに、nチャネルMISFETおよびpチャネルMISFET上は第1層間絶縁膜11で覆われている。n型半導体領域9またはp型半導体領域10上の第1層間絶縁膜11の必要部分には接続孔12が形成されており、接続孔12内には、たとえばタングステン膜からなるプラグ13が埋め込まれている。このプラグ13に接続して、たとえばタングステン膜からなる第1配線層の配線14が第1層間絶縁膜11上に形成されている。

【0027】第1配線層の配線14の上層には、第2層間絶縁膜15が形成されている。第2層間絶縁膜15は、たとえばシリコン酸化膜で構成され、第2層間絶縁膜15の所定の領域に接続孔16が形成されている。接続孔16内には、たとえばバリアメタル層および主導電層である銅膜からなるプラグ17が埋め込まれている。バリアメタル層は、配線および接続部材の主成分である銅の拡散を防止するとともに、銅と絶縁膜との接着性を向上させる機能を有し、たとえば窒化チタン(TiN)、タンタル(Ta)、窒化タンタル(TaN)等である。

【0028】プラグ17の上層には、ストップ絶縁膜18、さらに配線形成用の絶縁膜19が形成されている。ストップ絶縁膜18は、絶縁膜19への溝加工の際にエッチングストップとなる膜であり、絶縁膜19に対してエッチング選択比を有する材料を用いる。ストップ絶縁膜18は、たとえばシリコン窒化膜、絶縁膜19は、たとえばシリコン酸化膜である。ストップ絶縁膜18および絶縁膜19には、上記プラグ17に達する配線溝20が形成されている。配線溝20内には、たとえばバリアメタル層および主導電層である銅膜からなる第2配線層の配線21が埋め込まれている。バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等である。

【0029】第2配線層の配線21の上層には、キャップ絶縁膜22、層間絶縁膜23、配線形成用のストップ絶縁膜24、配線形成用の絶縁膜25が順次形成されている。キャップ絶縁膜22および層間絶縁膜23には、第2配線層の配線21に達する接続孔26が形成されており、ストップ絶縁膜24および絶縁膜25には、第3配線層が埋め込まれる配線溝27が形成されている。上記接続孔26の孔径は、たとえば約0.25 μ m程度である。

【0030】キャップ絶縁膜22は、層間絶縁膜23に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。シリコン窒化膜の比誘電率は約7程度と相対的に高いことから、配線容量を低減することを考慮すれば、シリコン窒化膜からなるキャップ絶縁膜22の膜厚はストップ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。

このような要求から、キャップ絶縁膜22の膜厚は、たとえば約50nm程度とすることができる。

【0031】層間絶縁膜23は、絶縁膜25を構成する材料のヤング率よりも相対的に小さいヤング率を有する材料で構成され、たとえばヤング率が約50GPa程度のフッ素(F)が添加されたシリコン酸化(SiOF)膜とすることができる。層間絶縁膜23の膜厚は、たとえば約500nm程度とすることができる。

【0032】ストップ絶縁膜24は、絶縁膜25または層間絶縁膜23、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。上記キャップ絶縁膜と同様に、シリコン窒化膜の比誘電率は約7程度と相対的に高いことから、配線容量を低減することを考慮すれば、シリコン窒化膜からなるストップ絶縁膜24の膜厚はストップ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。このような要求から、ストップ絶縁膜24の膜厚は、たとえば約25nm程度とすることができる。

【0033】絶縁膜25は、たとえばヤング率が約70GPa程度のシリコン酸化膜とすることができる。ストップ絶縁膜24と絶縁膜25には第3配線層が埋め込まれる配線溝27が形成されるため、その合計膜厚は第3配線層に必要な設計膜厚で決められ、絶縁膜25の膜厚は、たとえば約200nm程度とすることができる。

【0034】接続孔26および配線溝27の内部には第3配線層の配線28が形成されており、この配線28と第2配線層の配線21とを接続する接続孔26の内部に埋め込まれた接続部材は、配線28と一体に形成されている。すなわち、第3配線層の配線28は、デュアルダマシン法を用いて形成されている。配線部材および接続部材は、たとえばバリアメタル層29および主導電層である銅膜からなり、バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等である。

【0035】ここで、第2配線層の配線21と第3配線層の配線28とを接続するための接続孔26を取り囲む層間絶縁膜23は、ヤング率が約50GPa程度のSiOF膜からなり、第3配線層の配線28が埋め込まれた配線溝27を取り囲む絶縁膜25は、ヤング率が約70GPa程度のシリコン酸化膜からなり、絶縁膜25のヤング率と比較して約20GPa程度小さいヤング率を有する絶縁材料で層間絶縁膜23は構成される。これにより、たとえば室温から500℃程度の昇温において銅の体積が膨張しても、これに追従して層間絶縁膜23が弾性変形し、一方で絶縁膜25が銅の体積膨張を抑える働きをすることから、接続孔26の内部の銅が配線溝27の内部の銅へ吸収されるのを抑制することができる。

【0036】また、層間絶縁膜23を構成するSiOF膜は、比誘電率が約3.6程度と、シリコン酸化膜の比誘電率(約4.3程度)と比較して小さいことから、層

間絶縁膜 23 および絶縁膜 25 の両方にシリコン酸化膜を用いる構造よりも、配線容量を低減することができる。

【0037】第3配線層の配線 28 の上層には、キャップ絶縁膜 30、層間絶縁膜 31、配線形成用のストップ絶縁膜 32、配線形成用の絶縁膜 33 が順次形成されている。これらの絶縁膜 30～33 については、各々前記ストップ絶縁膜 22、層間絶縁膜 23、配線形成用のストップ絶縁膜 24、配線形成用の絶縁膜 25 と同様であり、層間絶縁膜 31 は、たとえば膜厚約 500 nm 程度の SiO₂ 膜、絶縁膜 33 は、たとえば膜厚約 200 nm 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 30 および層間絶縁膜 31 に接続孔 34、ストップ絶縁膜 32 および絶縁膜 33 に配線溝 35 が形成されている。上記接続孔 34 の孔径は、たとえば約 0.25 μm 程度である。さらに、接続部材と一体に形成された第4配線層の配線 36 が形成されている。第4配線層の配線 36 は、第3配線層の配線 28 と同様に、たとえばバリアメタル層および主導電層である銅膜からなる。

【0038】たとえば室温から 500℃ 程度の昇温において銅の体積が膨張しても、これに追従して層間絶縁膜 31 が弾性変形し、一方で絶縁膜 33 が銅の体積膨張を抑える働きをすることから、接続孔 34 の内部の銅が配線溝 35 の内部の銅へ吸収されるのを抑制することができる。また、層間絶縁膜 31 および絶縁膜 33 の両方にシリコン酸化膜を用いる構造よりも、配線容量を低減することができる。

【0039】第4配線層の配線 36 の上層には、キャップ絶縁膜 37、層間絶縁膜 38、配線形成用のストップ絶縁膜 39、配線形成用の絶縁膜 40 が順次形成されている。これらの絶縁膜 37～40 については、各々前記ストップ絶縁膜 22、層間絶縁膜 23、配線形成用のストップ絶縁膜 24、配線形成用の絶縁膜 25 と同様であり、層間絶縁膜 38 は、たとえば膜厚約 500 nm 程度の SiO₂ 膜、絶縁膜 33 は、たとえば膜厚約 200 nm 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 37 および層間絶縁膜 38 に接続孔 41、ストップ絶縁膜 39 および絶縁膜 40 に配線溝 42 が形成されている。上記接続孔 41 の孔径は、たとえば約 0.5 μm 程度である。さらに、接続部材と一体に形成された第5配線層の配線 43 が形成されている。第5配線層の配線 43 は、第3配線層の配線 28 と同様に、たとえばバリアメタル層および主導電層である銅膜からなる。

【0040】たとえば室温から 500℃ 程度の昇温において銅の体積が膨張しても、これに追従して層間絶縁膜 38 が弾性変形し、一方で絶縁膜 40 が銅の体積膨張を抑える働きをすることから、接続孔 41 の内部の銅が配線溝 42 の内部の銅へ吸収されるのを抑制することができる。また、層間絶縁膜 38 および絶縁膜 40 の両方にシリコン酸化膜を用いる構造よりも、配線容量を低減す

ることができる。

【0041】第5配線層の配線 43 の上層には、絶縁膜 44 が形成され、絶縁膜 44 の必要部分には接続孔 45 が開孔している。この接続孔 45 の孔径は、たとえば約 0.75 μm 程度である。接続孔 45 内には、たとえばタングステン膜からなるプラグ 46 が埋め込まれおり、このプラグ 46 を介して絶縁膜 44 上の第6配線層の配線 47 が第5配線層の配線 43 に接続されている。さらに、パッシベーション膜 48 で半導体基板 1 の全面が覆われている。

【0042】

【表1】

表 1

世代	比較例	第1世代		
配線層間膜 (ヤング率: Y2)	SiO ₂ (70GPa)	SiO ₂ (70GPa)		
ビア層間膜 (ヤング率: Y1)	SiO ₂ (70GPa)	SiOF (50GPa)		
ストップ絶縁膜	SiN	SiN	SiC	なし
接続孔の孔径: R	0.25 μm	0.25 μm		
指標	R/Y1	5.0		
	Y2-Y1	20		
配線容量	4.7	4.5	4.2	4.0

【0043】表1に、本実施の形態1におけるデュアルダマシン構造の各々の絶縁膜材料および評価指標等をまとめる。また、図2に、本実施の形態1を適用したデュアルダマシン配線の要部平面図の一例を示し、図3～図7に、前記図2のA-A'線における半導体基板の要部断面図を用いたデュアルダマシン配線の製造方法の一例を示す。本実施の形態1では、第1世代として上下配線層をつなぐ接続孔の孔径が、約0.5 μm以下のデュアルダマシン配線に適用される各々の絶縁材料を示しており、配線層間膜はヤング率が60 GPa以上の絶縁材料、ビア層間膜はヤング率が60 GPa未満の絶縁材料であって、共にCVD法で形成される絶縁材料で構成される。表1および図3～図7には、配線層間膜をヤング率が約70 GPa程度のシリコン酸化膜、ビア層間膜をヤング率が約50 GPa程度のSiOF膜としたデュアルダマシン配線（前記図1に示した半導体装置では、第3配線層～第5配線層）を例示している。

【0044】なお、この評価指標等をまとめるにあたり、接続孔の孔径が0.25 μmのデュアルダマシン配線を用いたが、0.25 μm以外の孔径の接続孔を有するデュアルダマシン配線にも適用できることは言うまでもない。

【0045】表1における指標: R/Y1は、接続孔の孔径Rをビア層間膜のヤング率Y1で割った値である。その逆数のY1/Rは、接続孔を取り囲むビア層間膜が接続孔を締め付ける圧力に対応しており、Y1/Rが小

さい程、すなわち $R/Y1$ が大きい程、配線の劣化を抑えることができる。指標： $Y2-Y1$ は、配線層間膜のヤング率 $Y2$ とビア層間膜のヤング率 $Y1$ との差である。 $Y2-Y1$ は、配線層間膜とビア層間膜との配線に対する圧力差に対応しており、この値が大きい程、配線の劣化を抑えることができる。すなわち、指標： $R/Y1$ および $Y2-Y1$ は、共に大きい程、デュアルダマシン配線の劣化を抑制できると考えられる。なお、比較例として、配線層間膜をシリコン酸化膜、ビア層間膜をシリコン酸化膜で構成したデュアルダマシン構造を表1に挙げる。

【0046】表1に示すように、ビア層間膜をSiOF膜で構成することにより、指標： $R/Y1$ は比較例の3.6から5.0へ増加し、指標： $Y2-Y1$ は比較例の0から20へ増加する。これにより、第1世代のデュアルダマシン構造において、比較例よりもデュアルダマシン配線の劣化を抑制できると考えられる。さらに、配線容量を比較例の4.7から4.5へ低減することができる。

【0047】次に、図3～図7に示した半導体基板の要部断面図を用いて、デュアルダマシン配線の製造方法について説明する。

【0048】まず、図3に示すように、下層配線の上層にキャップ絶縁膜を構成するシリコン窒化膜、層間絶縁膜を構成するヤング率が約50GPa程度のSiOF膜、配線形成用のストッパ絶縁膜を構成するシリコン窒化膜、配線形成用の絶縁膜を構成するヤング率が約70GPa程度のシリコン酸化膜を順次形成する。キャップ絶縁膜および層間絶縁膜には、後の工程で接続孔が形成され、ストッパ絶縁膜および絶縁膜には、後の工程で配線溝が形成される。

【0049】キャップ絶縁膜を構成するシリコン窒化膜は、たとえばプラズマCVD法によって形成され、比誘電率は約7程度である。その膜厚は、たとえば約50nm程度とすることができる。配線容量を低減することを考慮すれば、相対的に比誘電率の高いシリコン窒化膜の膜厚はストッパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。

【0050】層間絶縁膜を構成するSiOF膜は、たとえばCVD法によって形成され、比誘電率は約3.6程度、ヤング率は約50GPa程度である。その膜厚は、たとえば約500nm程度とすることができる。

【0051】ストッパ絶縁膜を構成するシリコン窒化膜は、たとえばプラズマCVD法によって形成され、比誘電率は約7程度である。その膜厚は、たとえば約25nm程度とすることができる。配線容量を低減することを考慮すれば、相対的に比誘電率の高いシリコン窒化膜の膜厚はストッパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。

【0052】絶縁膜を構成するシリコン酸化膜は、たと

えばCVD法によって形成され、比誘電率は約4.3程度、ヤング率は約70GPa程度である。その膜厚は、たとえば約200nm程度とすることができる。ストッパ絶縁膜（シリコン窒化膜）と絶縁膜（シリコン酸化膜）には上層配線が埋め込まれる配線溝が形成されるため、その合計膜厚は上層配線に必要な設計膜厚で決められる。

【0053】次に、キャップ絶縁膜（シリコン窒化膜）および層間絶縁膜（SiOF膜）に接続孔を、ストッパ絶縁膜（シリコン窒化膜）および絶縁膜（シリコン酸化膜）に配線溝を形成する。デュアルダマシン法による接続孔および配線溝の形成方法として、たとえば以下の方法を例示することができる。

【0054】まず、図4に示すように、層間絶縁膜（SiOF膜）に接続孔を形成する。形成される接続孔の孔径は、たとえば約0.25 μ m程度である。この接続孔の形成は、孔パターンにパターニングされたフォトリソスト膜PR1を絶縁膜（シリコン酸化膜）上に形成し、このフォトリソスト膜PR1をマスクとして、たとえばドライエッチング法により絶縁膜（シリコン酸化膜）、ストッパ絶縁膜（シリコン窒化膜）および層間絶縁膜（SiOF膜）を順次エッチングする。この際、キャップ絶縁膜（シリコン窒化膜）はエッチングストッパ層として機能する。これら絶縁材料は、CVD法で成膜された無機絶縁膜であることから、従来のドライエッチング法の延長線上のプロセス技術を適用することができる。

【0055】次に、フォトリソスト膜PR1を除去した後、図5に示すように、接続孔の形成と同様に、溝パターンにパターニングされたフォトリソスト膜PR2を絶縁膜（シリコン酸化膜）上に形成し、このフォトリソスト膜PR2をマスクとして、たとえばドライエッチング法により絶縁膜（シリコン酸化膜）をエッチングする。この際、ストッパ絶縁膜（シリコン窒化膜）はエッチングストッパ層として機能する。その後、露出しているストッパ絶縁膜（シリコン窒化膜）をエッチング除去する。

【0056】次に、接続孔および配線溝の内部に、バリアメタル層および主導電層である銅膜からなる上層配線を形成する。この上層配線と下層配線とを接続する接続部材は、上層配線と一体に形成される。上層配線の形成方法として、たとえば以下の方法を例示することができる。

【0057】まず、フォトリソスト膜PR2を除去する。その後、図6に示すように、接続孔の底部に露出しているキャップ絶縁膜（シリコン窒化膜）をエッチング除去し、次いでバリアメタル層BLを形成する。バリアメタル層BLは、たとえば窒化チタン、タンタル、窒化タンタル等である。次に、バリアメタル層BL上にシード層（図示せず）を形成する。シード層は、銅のメッキ層を形成するための種（シード）となる層であり、銅で

構成される。シード層の形成には、たとえばCVD法またはスパッタ法が用いられる。

【0058】次いで、銅のメッキ層MLを形成する。メッキ法は電解メッキ、無電解めっきのいずれの方法を用いてもよい。メッキ層MLの膜厚は基板平面上で約600nm程度とする。これにより接続孔および配線溝を同時に埋め込む。なお、メッキ法による銅膜（メッキ層ML）の形成に換えて、スパッタ法により銅膜を形成してもよい。この場合、上記シード層は必要ではない。スパッタ法により銅膜を形成する場合には、接続孔および配線溝に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。

【0059】次に、図7に示すように、CMP法を用いてメッキ層MLおよびシード層を研磨する。さらに研磨を継続し、絶縁膜（シリコン酸化膜）上のバリアメタル層BLも除去する。これにより配線溝の領域以外のバリアメタル層BLおよび銅膜（メッキ層MLおよびシード層）が除外されて、接続部材と一体に形成された上層配線が形成される。

【0060】図8に、本実施の形態1におけるデュアルダマシン配線の第1の変形例を示す。ストップ絶縁膜は、配線層間膜（シリコン酸化膜）またはビア層間膜（SiOF膜）、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、前記図1および図7に示したデュアルダマシン配線では、シリコン窒化膜が例示された。しかし、シリコン窒化膜の比誘電率は約7程度と相対的に高いことから、配線容量を低減することを考慮すれば、比誘電率が相対的に低く、かつストップ機能を有する絶縁膜であることが望ましい。図8には、配線層間膜をシリコン酸化膜、ビア層間膜をSiOF膜とし、比誘電率が約4程度のSiC膜をストップ絶縁膜に用いたデュアルダマシン構造を示す。ストップ絶縁膜をSiC膜で構成することにより、ストップ絶縁膜をシリコン窒化膜で構成した場合よりも配線容量を4.5から4.2へと低減することができる。

【0061】さらに、図9に、本実施の形態1におけるデュアルダマシン配線の第2の変形例を示す。ここでは、ストップ絶縁膜を用いずに配線容量を低減したデュアルダマシン配線が示されている。ストップ絶縁膜を用いないことにより、シリコン窒化膜からなるストップ絶縁膜を用いた場合よりも配線容量を4.5から4.0へと低減することができる。

【0062】次に、前記図1に示した本実施の形態1の半導体装置の製造方法の一例を図10～図20に示した半導体基板の要部断面図を用いて工程順に説明する。

【0063】まず、図10に示すように、たとえばp型の単結晶シリコンからなる半導体基板1を用意し、半導体基板1の主面に素子分離領域2を形成する。素子分離領域2は、たとえば以下のようにして形成できる。まず、半導体基板1の主面上にシリコン酸化膜およびシリ

コン窒化膜を順次形成し、このシリコン窒化膜をパターンニングされたフォトリソ膜を用いてエッチングし、このエッチングされたシリコン窒化膜をマスクとして半導体基板1に浅溝を形成する。その後、浅溝を埋め込む絶縁膜、たとえばシリコン酸化膜を堆積し、CMP法等を用いて浅溝以外の領域のシリコン酸化膜を除去し、さらにウェットエッチング法等によりシリコン窒化膜を除去する。これより素子分離領域2が形成される。

【0064】次に、パターンニングされたフォトリソ膜をマスクとして不純物をイオン注入し、pウェル3およびnウェル4を形成する。pウェル3にはp型の導電型を示す不純物、たとえばボロン（B）をイオン注入し、nウェル4にはn型の導電型を示す不純物、たとえばリン（P）をイオン注入する。この後、各ウェル領域にMISFETのしきい値を制御するための不純物をイオン注入してもよい。

【0065】次に、ゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜7となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたフォトリソ膜をマスクとして前記積層膜をエッチングする。これにより、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜7を形成する。ゲート絶縁膜は、たとえば熱CVD法により形成することができ、ゲート電極6はCVD法により形成することができる。ゲート電極6の抵抗値を低減するためにn型またはp型の不純物をMISFETのチャネル型に応じてドーピングしてもよい。すなわち、nチャネルMISFETのゲート電極にはn型不純物を、pチャネルMISFETのゲート電極にはp型不純物をドーピングしてもよい。この場合イオン注入法を用いることができる。なお、ゲート電極6の上部にWSi_x、MoSi_x、TiSi_x、TaSi_xなどの高融点金属シリサイド膜を積層してもよく、窒化チタン、窒化タングステン（WN）等のバリアメタル層を介してタングステン等の金属層を形成してもよい。これによりゲート電極6のシート抵抗値を低減し、MISFETの動作速度を向上できる。キャップ絶縁膜7は、たとえばCVD法により堆積することができる。

【0066】次に、半導体基板1上に、たとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極6の側壁にサイドウォールスペーサ8を形成する。その後、フォトリソ膜をマスクとして、pウェル3にn型不純物（たとえばリン、ヒ素（As））をイオン注入し、pウェル3上のゲート電極6の両側にn型半導体領域9を形成する。n型半導体領域9は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成される。また、n型半導体領域9は、nチャネルMISFETのソース、ドレイン領域として機能する。同様に、フォトリソ膜をマスクとして、nウェル4にp型不純

物（たとえばフッ化ボロン（ BF_3 ））をイオン注入し、 n ウェル4上のゲート電極6の両側に p 型半導体領域10を形成する。 p 型半導体領域10は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成され、 p チャネルMISFETのソース、ドレイン領域として機能する。

【0067】なお、サイドウォールスペーサ8の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ8の形成後に高濃度の不純物半導体領域を形成して、いわゆるLDD構造としてもよい。

【0068】次に、図11に示すように、半導体基板1上にスパッタ法またはCVD法でシリコン酸化膜を堆積した後、そのシリコン酸化膜を、たとえばCMP法で研磨することにより、表面が平坦化された第1層間絶縁膜11を形成する。第1層間絶縁膜11は、シリコン窒化膜、SOG（spin on glass）膜、BPSG（boron phosphor silicate glass）膜、PSG（phosphor silicate glass）膜等の積層膜で形成してもよい。

【0069】次に、フォトリソグラフィ技術を用いて第1層間絶縁膜11に接続孔12を形成する。この接続孔12は、 n 型半導体領域9または p 型半導体領域10上などの必要部分に形成する。

【0070】次に、接続孔12内にプラグ13を、たとえば以下のようにして形成する。まず、接続孔12の内部を含む半導体基板1の全面に窒化チタン膜を、たとえばCVD法で形成し、さらに接続孔12を埋め込むタングステン膜を、たとえばCVD法で形成する。その後、接続孔12以外の領域の窒化チタン膜およびタングステン膜を、たとえばCMP法により除去してプラグ13を形成する。なお、窒化チタン膜の形成前に、たとえばチタン（Ti）膜を堆積し、熱処理を行って接続孔12の底部における半導体基板（ n 型半導体領域9または p 型の半導体領域10）をシリサイド化してもよい。このようなシリサイド層を形成することにより、接続孔12底部でのコンタクト抵抗を低減できる。

【0071】次に、半導体基板1の全面に、たとえばタングステン膜を形成し、このタングステン膜をパターニングし、第1配線層の配線14を形成する。タングステン膜は、CVD法またはスパッタ法により形成できる。

【0072】次に、図12に示すように、配線14を覆う絶縁膜、たとえばシリコン酸化膜を形成した後、その絶縁膜を、たとえばCMP法で研磨することにより、表面が平坦化された第2層間絶縁膜15を形成する。次いで、フォトリソグラフィ技術を用いて第2層間絶縁膜15の所定の領域に接続孔16を形成する。

【0073】次に、接続孔16内にプラグ17を、たとえば以下のようにして形成する。まず、接続孔16の内部を含む半導体基板1の全面にバリアメタル層を形成し、さらに接続孔16を埋め込む銅膜を形成する。バリアメタル層は、たとえば窒化チタン、タンタル、窒化タ

ンタル等であり、たとえばCVD法で形成する。銅膜は主導電層として機能し、たとえばメッキ法で形成できる。メッキ法による銅膜の形成前に、たとえばCVD法またはスパッタ法によりシード層として薄い銅膜を形成できる。その後、接続孔16以外の領域の銅膜およびバリアメタル層を、たとえばCMP法により除去してプラグ17を形成する。

【0074】次に、図13に示すように、第2層間絶縁膜15およびプラグ17上にストップ絶縁膜18を形成し、さらに配線形成用の絶縁膜19を形成する。ストップ絶縁膜18は、絶縁膜19への溝加工の際にエッチングストップとなる膜であり、絶縁膜19に対してエッチング選択比を有する材料を用いる。ストップ絶縁膜18は、たとえばシリコン窒化膜とし、絶縁膜19は、たとえばシリコン酸化膜とする。なお、ストップ絶縁膜18と絶縁膜19には次に説明する第2層配線が形成される。このため、その合計膜厚は第2配線層に必要な設計膜厚で決められる。また、配線容量を低減することを考慮すれば、相対的に比誘電率の高いシリコン窒化膜からなるストップ絶縁膜18の膜厚はストップ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。次いで、フォトリソグラフィ技術を用いてストップ絶縁膜18および絶縁膜19の所定の領域に配線溝20を形成する。

【0075】次に、配線溝20の内部に第2配線層の配線21を形成する。配線21は、バリアメタル層および主導電層である銅膜からなり、バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等である。配線21の形成は、たとえば以下のようにして行う。まず、配線溝20の内部を含む半導体基板1の全面にバリアメタル層を形成し、さらに配線溝20を埋め込む銅膜を形成する。バリアメタル層の形成には、たとえばCVD法を、銅膜の形成には、たとえばメッキ法を用いる。メッキ法による銅膜の形成前に、たとえばCVD法またはスパッタ法により銅のシード層を形成できる。その後、配線溝20以外の領域の銅膜およびバリアメタル層を、たとえばCMP法により除去して配線21を形成する。

【0076】次に、デュアルダマシン法により第3配線層を形成する。まず、図14に示すように、絶縁膜19および第2配線層の配線21上にキャップ絶縁膜22、層間絶縁膜23、配線形成用のストップ絶縁膜24、配線形成用の絶縁膜25を順次形成する。

【0077】キャップ絶縁膜22および層間絶縁膜23には、後に説明するように接続孔26が形成される。キャップ絶縁膜22は、層間絶縁膜23に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。シリコン窒化膜は、たとえばプラズマCVD法によって形成され、比誘電率は約7程度である。キャップ絶縁膜22の膜厚は、たとえば約5

0 nm程度とすることができる。

【0078】層間絶縁膜23は、前述したように絶縁膜25を構成する材料のヤング率よりも約20 GPa程度小さいヤング率を有する材料で構成される。層間絶縁膜23は、たとえばヤング率が約50 GPa程度のSiOF膜からなり、その膜厚は、たとえば約500 nm程度とすることができる。SiOF膜は、たとえばCVD法によって形成される。

【0079】ストップ絶縁膜24および絶縁膜25には、後に説明するように配線溝27が形成される。ストップ絶縁膜24は、絶縁膜25（後述する接続孔の形成方法である第2の方法では絶縁膜25および層間絶縁膜23）に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。シリコン窒化膜は、たとえばプラズマCVD法によって形成され、比誘電率は約7程度である。ストップ絶縁膜24の膜厚は、たとえば約25 nm程度とすることができる。

【0080】絶縁膜25は、たとえばヤング率が約70 GPa程度のシリコン酸化膜からなり、その膜厚は、たとえば約200 nm程度とすることができる。上記シリコン酸化膜は、たとえば原料ガスとしてTEOSガスとオゾンガスとを用いたプラズマCVD法で形成されたTEOS酸化膜で構成され、比誘電率は約4.3程度である。なお、ストップ絶縁膜24と絶縁膜25には次に説明する第3配線層が埋め込まれる配線溝が形成される。このため、その合計膜厚は第3配線層に必要な設計膜厚で決められる。

【0081】次に、図15に示すように、キャップ絶縁膜22および層間絶縁膜23に接続孔26を、ストップ絶縁膜24および絶縁膜25に配線溝27を形成する。デュアルダマシン法による接続孔26および配線溝27は、たとえば以下のように形成できる。

【0082】まず、配線21上に形成されたキャップ絶縁膜22および層間絶縁膜23に、配線21に到達する深い接続孔26を形成する。この接続孔26の形成は、孔パターンにパターニングされたフォトレジスト膜を絶縁膜25上に形成し、このフォトレジスト膜をマスクとして、たとえばドライエッチング法により絶縁膜25、ストップ絶縁膜24、層間絶縁膜23およびキャップ絶縁膜22を順次エッチングする。形成される接続孔26の孔径は、たとえば約0.25 μ m程度である。

【0083】次に、レジスト等でこの接続孔26を埋め込み、その後、絶縁膜25およびストップ絶縁膜24に配線溝27を形成する。配線溝27の形成は、接続孔26の形成と同様に、溝パターンにパターニングされたフォトレジスト膜を絶縁膜25上に形成し、このフォトレジスト膜をマスクとして、たとえばドライエッチング法により絶縁膜25およびストップ絶縁膜24を順次エッチングする。

【0084】次に、接続孔26および配線溝27の内部に第3配線層の配線28を形成する。配線28はバリアメタル層および主導電層である銅膜からなり、この配線28と下層配線である配線21とを接続する接続部材は、配線28と一体に形成される。配線28の形成方法は、たとえば以下に行う。

【0085】まず、図16に示すように、接続孔26および配線溝27の内部を含む半導体基板1の全面にバリアメタル層29を形成する。バリアメタル層29は、たとえば窒化チタン、タンタル、窒化タンタル等である。次に、バリアメタル層29上に銅のシード層（図示せず）を、たとえばCVD法またはスパッタ法により形成した後、銅のメッキ層28aを形成する。メッキ法は電解メッキ、無電解めっきのいずれの方法を用いてもよい。メッキ層28aの膜厚は基板平面上で約600 nm程度とする。これにより接続孔26および配線溝27を同時に埋め込む。なお、本実施の形態1では、メッキ法による銅膜（メッキ層28a）の形成を示したが、スパッタ法により形成してもよい。この場合、上記シード層は必要ではない。スパッタ法により銅膜を形成する場合には、接続孔26および配線溝27に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。

【0086】次に、図17に示すように、CMP法を用いてメッキ層28aおよびシード層を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。さらに研磨を継続し、絶縁膜25上のバリアメタル層29も除去する。これにより配線溝27以外の領域の銅膜（メッキ層28aおよびシード層）およびバリアメタル層29が除外されて、接続部材と一体に形成された配線28が形成される。

【0087】次に、図18に示すように、絶縁膜25および配線28上に、キャップ絶縁膜30、層間絶縁膜31、配線形成用のストップ絶縁膜32、配線形成用の絶縁膜33を順次形成する。これらの絶縁膜30～33については、各々前記ストップ絶縁膜22、層間絶縁膜23、配線形成用のストップ絶縁膜24、配線形成用の絶縁膜25と同様であり、層間絶縁膜31は、たとえば膜厚約500 nm程度のSiOF膜、絶縁膜33は、たとえば膜厚約200 nm程度のシリコン酸化膜で構成される。また、キャップ絶縁膜30および層間絶縁膜31に接続孔34を、ストップ絶縁膜32および絶縁膜33に配線溝35を前記第3配線層の場合と同様に形成する。上記接続孔34の孔径は、たとえば約0.25 μ m程度である。さらに、第3配線層の配線28と同様に、接続部材と一体に形成された第4配線層の配線36を形成する。

【0088】次に、図19に示すように、絶縁膜33および配線36上に、キャップ絶縁膜37、層間絶縁膜38、配線形成用のストップ絶縁膜39、配線形成用の絶

縁膜 40 を順次形成する。これらの絶縁膜 37～40 については、各々前記ストップ絶縁膜 22、層間絶縁膜 23、配線形成用のストップ絶縁膜 24、配線形成用の絶縁膜 25 と同様であり、層間絶縁膜 38 は、たとえば膜厚約 500 nm 程度の SiOF 膜、絶縁膜 33 は、たとえば膜厚約 200 nm 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 37 および層間絶縁膜 38 に接続孔 41 を、ストップ絶縁膜 39 および絶縁膜 40 に配線溝 42 を前記第 3 配線層の場合と同様に形成する。上記接続孔 41 の孔径は、たとえば 0.5 μm 程度である。さらに、第 3 配線層の配線 28 と同様に、接続部材と一体に形成された第 5 配線層の配線 43 を形成する。

【0089】次に、図 20 に示すように、絶縁膜 40 および配線 43 上に、絶縁膜 44 を形成した後、配線 43 に達する接続孔 45 を絶縁膜 44 に形成する。接続孔 45 の孔径は、たとえば 0.75 μm 程度である。次に、接続孔 45 の内部を含む半導体基板 1 の全面に窒化チタン膜を、たとえば CVD 法により形成し、続いて接続孔 45 を埋め込むタングステン膜を、たとえば CVD 法により形成する。次いで、接続孔 45 以外の領域の窒化チタン膜およびタングステン膜を、たとえば CMP 法により除去してプラグ 46 を形成する。

【0090】次に、半導体基板 1 の全面に、たとえばアルミニウム膜を形成し、このアルミニウム膜をフォトリソグラフィ技術によりパターンニングし、最上層配線である第 6 配線層の配線 47 を形成する。その後、パッシベーション膜 48 で半導体基板 1 の全面を覆うことにより、前記図 1 に示した半導体装置が略完成する。

【0091】なお、本実施の形態 1 では、第 6 配線層からなる多層配線を有する半導体装置に適用したが、配線層数にかかわらず、デュアルダマシンで形成される任意の配線層に適用することは可能である。

【0092】このように、本実施の形態 1 によれば、配線溝を取り囲む配線層間膜をヤング率が 60 GPa 以上の CVD 法で形成される絶縁材料、たとえばシリコン酸化膜で構成し、接続孔を取り囲むビア層間膜をヤング率が 60 GPa 未満の CVD 法で形成される絶縁材料、たとえば SiOF 膜で構成する。これにより、室温から 500℃ 程度の昇温において接続孔内で銅の体積が膨張しても、これに追従したビア層間膜の弾性変形が起こり、また配線層間膜が銅の体積膨張を抑える働きをすることから、接続孔の内部の銅が配線溝の内部の銅へ吸収されるのを抑制することができる。

【0093】また、ビア層間膜を構成する SiOF 膜は、比誘電率が約 3.6 程度と、シリコン酸化膜の比誘電率と比較して小さいことから、ビア層間膜にシリコン酸化膜を用いるよりも、配線容量を低減することができる。

【0094】また、配線層間膜およびビア層間膜は、CVD 法で成膜された無機絶縁材料で構成されることか

ら、接続孔および配線溝の加工工程において、従来のドライエッチング法の延長線上のプロセス技術を適用することができる。

【0095】（実施の形態 2）

【0096】

【表 2】

表 2

世代		第 2 世代		
配線層間膜 (ヤング率: Y2)		SiOF (50GPa)		
ビア層間膜 (ヤング率: Y1)		SiLK (10GPa)		
ストップ絶縁膜		SiN	SiC	なし
接続孔の孔径: R		0.18 μm		
指標	R/Y1	18.0		
	Y2-Y1	40		
配線容量		3.9	3.7	3.5

【0097】表 2 に、本実施の形態 2 におけるデュアルダマシン構造の各々の絶縁膜材料および評価指標等を前記表 1 と同様にまとめる。また、図 21 に、本実施の形態 2 を適用したデュアルダマシン配線の要部断面図の一例を示す。本実施の形態 2 では、第 2 世代として上下配線層をつなぐ接続孔の孔径が、約 0.2 μm 以下のデュアルダマシン配線に適用される各々の絶縁材料を示しており、配線層間膜はヤング率が 30 GPa 以上の絶縁材料であって、CVD 法で形成される絶縁材料で構成され、ビア層間膜はヤング率が 30 GPa 未満の絶縁材料であって、CVD 法または塗布法で形成される絶縁材料で構成される。

【0098】表 2 および図 21 には、配線層間膜をヤング率が約 50 GPa 程度、比誘電率が約 3.6 程度の SiOF 膜、ビア層間膜をヤング率が約 10 GPa 程度、比誘電率が約 2.7～2.8 程度の PAE (poly arylene ether) 系材料、たとえば SiLK 膜としたデュアルダマシン配線を例示している。SiOF 膜は、たとえば CVD 法で形成され、SiLK 膜は、たとえば塗布法で形成される。ストップ絶縁膜およびキャップ絶縁膜には、SiOF 膜および SiLK 膜に対してストップ機能を有するシリコン窒化膜が用いられる。

【0099】なお、評価指標等をまとめるにあたり、接続孔の孔径が 0.18 μm のデュアルダマシン配線を用いたが、0.18 μm 以外の孔径の接続孔を有するデュアルダマシン配線にも適用できることは言うまでもない。

【0100】また、配線層間膜には、SiOF 膜に代えてシリコン酸化膜を用いることができる。さらに、ビア層間膜には、SiLK 膜に代えて、他の PAE 系材料（たとえば FLARE 膜）、BCB (benzocyclobutene) 系材料、HSQ (hydrogen silsesquioxane)、MSQ (methyl silsesquioxane) 系材料等の塗布法で形成

される低誘電率膜、あるいはSiOC系材料、CF系材料等のCVD法で形成される低誘電率膜を用いることができる。

【0101】表2に示すように、配線層間膜をSiOF膜で構成し、ビア層間膜をSiLK膜で構成することにより、指標：R/Y1は18.0、指標：Y2-Y1は40となる。従って、接続孔の孔径が $0.18\mu\text{m}$ のデュアルダマシン構造において、デュアルダマシン配線の劣化を抑制できると考えられる。さらに、比誘電率が約3.6程度のSiOF膜を配線層間膜に用い、比誘電率が約2.7～2.8程度のSiLK膜をビア層間膜に用いることにより、配線容量を前記実施の形態1に示した第1世代の4.5から3.9へ低減することができる。

【0102】図22に、本実施の形態2におけるデュアルダマシン配線の第1の変形例を示す。ストップ絶縁膜は、配線層間膜（SiOF膜）またはビア層間膜（SiLK膜）、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、前記図21に示したデュアルダマシン配線では、シリコン窒化膜が例示された。しかし、シリコン窒化膜の比誘電率は約7程度と相対的に高いことから、配線容量を低減することを考慮すれば、ストップ機能を有する低誘電率膜であることが望ましい。図22には、比誘電率が約4程度のSiC膜をストップ絶縁膜に用いたデュアルダマシン構造を示す。ストップ絶縁膜をSiC膜で構成することにより、ストップ絶縁膜をシリコン窒化膜で構成した場合よりも配線容量を3.9から3.7へと低減することができる。

【0103】さらに、図23に、本実施の形態2におけるデュアルダマシン配線の第2の変形例を示す。ここでは、ストップ絶縁膜を用いずに配線容量を低減したデュアルダマシン配線が示されている。ストップ絶縁膜を用いないことにより、シリコン窒化膜からなるストップ絶縁膜を用いた場合よりも配線容量を3.9から3.5へと低減することができる。

【0104】このように、本実施の形態2によれば、配線溝を取り囲む配線層間膜をヤング率が30GPa以上のCVD法で形成される絶縁材料、たとえばSiOF膜で構成し、接続孔を取り囲むビア層間膜をヤング率が30GPa未満のCVD法または塗布法で形成される絶縁材料、たとえばSiLK膜で構成する。これにより、約 $0.18\mu\text{m}$ 程度の孔径を有する接続孔においても、銅の体積膨張に追従したビア層間膜の弾性変形が起りやすくなり、接続孔の内部の銅が配線溝の内部の銅へ吸収されるのを抑制することができる。

【0105】また、配線層間膜を構成するSiOF膜の比誘電率は約3.6程度、ビア層間膜を構成するSiLK膜の比誘電率は約2.7～2.8程度であることから、前記実施の形態1よりも、さらに配線容量を低減することができる。

【0106】（実施の形態3）

【0107】

【表3】

表 3

世代		第3世代	
配線層間膜 (ヤング率：Y2)		SiLK (10GPa)	
ビア層間膜 (ヤング率：Y1)		Nanoglass (2GPa)	
ストップ絶縁膜		SiC	なし
接続孔の孔径：R		$0.12\mu\text{m}$	
指標	R/Y1	60.0	
	Y2-Y1	8	
配線容量		3.4	3.2

【0108】表3に、本実施の形態3におけるデュアルダマシン構造の各々の絶縁膜材料および評価指標等を前記表1と同様にまとめる。また、図24に、本実施の形態3を適用したデュアルダマシン配線の要部断面図の一例を示す。本実施の形態3では、第3世代として上下配線層をつなぐ接続孔の孔径が、約 $0.13\mu\text{m}$ 以下のデュアルダマシン配線に適用される各々の絶縁材料を示しており、配線層間膜はヤング率が6GPa以上の絶縁材料であって、CVD法または塗布法で形成される絶縁材料で構成され、ビア層間膜はヤング率が6GPa未満の絶縁材料であって、塗布法で形成される絶縁材料で構成される。

【0109】表3および図24には、配線層間膜をヤング率が約10GPa程度、比誘電率が約2.7～2.8程度のPAE系材料、たとえばSiLK膜、ビア層間膜をヤング率が約2程度、比誘電率が約2.2程度のポーラスHSQ系材料、たとえばNanoglass膜としたデュアルダマシン配線を例示している。SiLK膜およびNanoglass膜は、たとえば塗布法で形成される。ストップ絶縁膜およびキャップ絶縁膜には、SiLK膜およびNanoglass膜に対してストップ機能を有するシリコン酸化膜が用いられる。

【0110】なお、評価指標等をまとめるにあたり、接続孔の孔径が $0.12\mu\text{m}$ のデュアルダマシン配線を用いたが、 $0.12\mu\text{m}$ 以外の孔径の接続孔を有するデュアルダマシン配線にも適用できることは言うまでもない。また、配線層間膜をSiLK膜のみで構成したが、シリコン酸化膜とSiLK膜との積層膜で構成してもよい。

【0111】また、配線層間膜には、SiLK膜に代えて、他のPAE系材料（たとえばFLARE膜）、BCB系材料、HSQ、MSQ系材料等の塗布法で形成される低誘電率膜、あるいはSiOC系材料、CF系材料等のCVD法で形成される低誘電率膜を用いることができる。

【0112】表3に示すように、配線層間膜をSiLK膜で構成し、ビア層間膜をNanoglass膜で構成することにより、指標：R/Y1は60.0、指標：Y2-Y1は8となる。従って、接続孔の孔径が0.12 μ mのデュアルダマシン構造において、デュアルダマシン配線の劣化を抑制できると考えられる。さらに、比誘電率が約2.7～2.8程度のSiLK膜を配線層間膜に用い、比誘電率が約2.2程度のNanoglass膜をビア層間膜に用い、比誘電率が約4.3程度のシリコン酸化膜をストップパ絶縁膜およびキャップ絶縁膜に用いることにより、配線容量を前記実施の形態2に示した第2世代の3.9から3.4へ低減することができる。

【0113】さらに、図25に、本実施の形態3におけ

るデュアルダマシン配線の変形例を示す。ストップパ絶縁膜は、配線層間膜（SiLK膜）またはビア層間膜（Nanoglass膜）、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、前記図24に示した配線では、シリコン酸化膜が例示された。ここでは、ストップパ絶縁膜を用いずに配線容量を低減したデュアルダマシン配線が示されている。ストップパ絶縁膜を用いないことにより、シリコン酸化膜からなるストップパ絶縁膜を用いた場合よりも配線容量を3.4から3.2へと低減することができる。

【0114】

【表4】

表 4

	材質	ヤング率 (GPa)	比誘電率
層間膜	SiO ₂	70	4.3
	SiOF	50	3.6
	PAE系材料 (SiLK, FLARE) BCB系材料 HSG系材料	～10	2.7～2.8
	ポーラスHSQ系材料 (Nanoglass)	2	2.2
ストップパ絶縁膜	SiN	—	7
	SiC	—	5

【0115】表4に、配線層間膜またはビア層間膜に用いられる各種絶縁膜のヤング率および比誘電率をまとめる。

【0116】このように、本実施の形態3によれば、配線溝を取り囲む配線層間膜をヤング率が6GPa以上のCVD法または塗布法で形成される絶縁材料、たとえばSiLK膜で構成し、接続孔を取り囲むビア層間膜をヤング率が6GPa未満の塗布法で形成される絶縁材料、たとえばNanoglass膜で構成する。これにより、約0.12 μ m程度の孔径を有する接続孔においても、銅の体積膨張に追従したビア層間膜の弾性変形が起りやすくなり、接続孔の内部の銅が配線溝の内部の銅へ吸収されるのを抑制することができる。

【0117】また、配線層間膜を構成するSiLK膜の比誘電率は約2.7～2.8程度、ビア層間膜を構成するNanoglass膜の比誘電率は約2程度であることから、前記実施の形態2よりも、さらに配線容量を低減することができる。

【0118】（実施の形態4）図26は、本実施の形態4である半導体装置を示す半導体基板の要部断面図である。第1配線層をシングルダマシン配線で構成し、第2配線層から第5配線層をデュアルダマシン配線で構成した多層配線構造の一例を示す。第3配線層から第6配線層は、前記実施の形態1と同様である。

【0119】nチャネルMISFETのn型半導体領域

9およびpチャネルMISFETのp型半導体領域10上の第1層間絶縁膜11の必要部分に形成された接続孔49内には、たとえばタングステン膜からなるプラグ50が埋め込まれている。プラグ50の上層には、ストップパ絶縁膜51、さらに配線形成用の絶縁膜52が形成されている。ストップパ絶縁膜51は、絶縁膜52への溝加工の際にエッチングストップとなる膜であり、絶縁膜52に対してエッチング選択比を有する材料を用いる。ストップパ絶縁膜51は、たとえばシリコン窒化膜である。ストップパ絶縁膜51および絶縁膜52には、上記プラグ50に達する配線溝53が形成されている。配線溝53内には、たとえばタングステン膜からなる第1配線層の配線54が埋め込まれている。

【0120】第1配線層の配線54の上層には、キャップ絶縁膜55、層間絶縁膜56、配線形成用のストップパ絶縁膜57、配線形成用の絶縁膜58が順次形成されている。これらの絶縁膜55～58については、各々前記実施の形態1のストップパ絶縁膜22、層間絶縁膜23、配線形成用のストップパ絶縁膜24、配線形成用の絶縁膜25と同様であり、層間絶縁膜56は、たとえば膜厚約500nm程度のSiOF膜、絶縁膜58は、たとえば膜厚約200nm程度のシリコン酸化膜で構成される。また、キャップ絶縁膜55および層間絶縁膜56に接続孔59、ストップパ絶縁膜57および絶縁膜58に配線溝60が形成されている。上記接続孔59の孔径は、たと

例えば約 $0.25\mu\text{m}$ 程度である。さらに、接続部材と一体に形成された第2配線層の配線61が形成されている。

【0121】このように、本実施の形態4によれば、第2配線層から第5配線層を本発明のデュアルダマシン配線で構成することにより、前記実施の形態1よりも、配線容量を低減することができる。

【0122】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0123】たとえば、前記実施の形態では、接続孔の孔径が約 $0.25\sim 0.5\mu\text{m}$ 程度のデュアルダマシン構造では、たとえば配線層間膜にシリコン酸化膜、ビア層間膜にSiOF膜を適用し、接続孔の孔径が約 $0.18\mu\text{m}$ 程度のデュアルダマシン構造では、たとえば配線層間膜にSiOF膜、ビア層間膜にSiLK膜を適用し、接続孔の孔径が約 $0.12\mu\text{m}$ 程度のデュアルダマシン構造では、たとえば配線層間膜にSiLK膜、ビア層間膜にNanoglass膜を例示したが、配線層間材料とビア層間材料との組み合わせはこれに限られるものではなく、それぞれの世代における熱処理やエッチング等のプロセス、または配線容量などを考慮し、配線層間材料およびビア層間材料を種々選択することは可能である。

【0124】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0125】本発明によれば、熱ストレスによってデュアルダマシン配線の接続孔内部において接続部材の膨張、収縮が生じても、これに追従してビア層間膜が弾性変形しやすくなるので、接続孔内部でのボイドの生成を防ぐことができる。これにより、接続孔内部での抵抗の上昇が抑えられて、デュアルダマシン配線の耐熱性およびエレクトロマイグレーション耐性を向上することができる。さらに、低誘電率材料をビア層間膜または配線層間膜に用いることで、配線容量を低減することができる。これにより、配線遅延を回避することができる。

【0126】従って、本発明によれば、微細配線に適した配線構造または配線構造の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体装置を示す半導体基板の要部断面図である。

【図2】本発明の実施の形態1であるデュアルダマシン配線の要部平面図の一例である。

【図3】本発明の実施の形態1であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図5】本発明の実施の形態1であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図6】本発明の実施の形態1であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図8】本発明の実施の形態1であるデュアルダマシン配線の第1の変形例を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態1であるデュアルダマシン配線の第2の変形例を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図11】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図12】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図13】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図14】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図15】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図16】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図17】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図18】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図19】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図20】本発明の実施の形態1である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図

である。

【図 2 1】本発明の実施の形態 2 であるデュアルダマシ
ン配線を示す半導体基板の要部断面図である。

【図 2 2】本発明の実施の形態 2 であるデュアルダマシ
ン配線の第 1 の変形例を示す半導体基板の要部断面図で
ある。

【図 2 3】本発明の実施の形態 2 であるデュアルダマシ
ン配線の第 2 の変形例を示す半導体基板の要部断面図で
ある。

【図 2 4】本発明の実施の形態 3 であるデュアルダマシ
ン配線を示す半導体基板の要部断面図である。

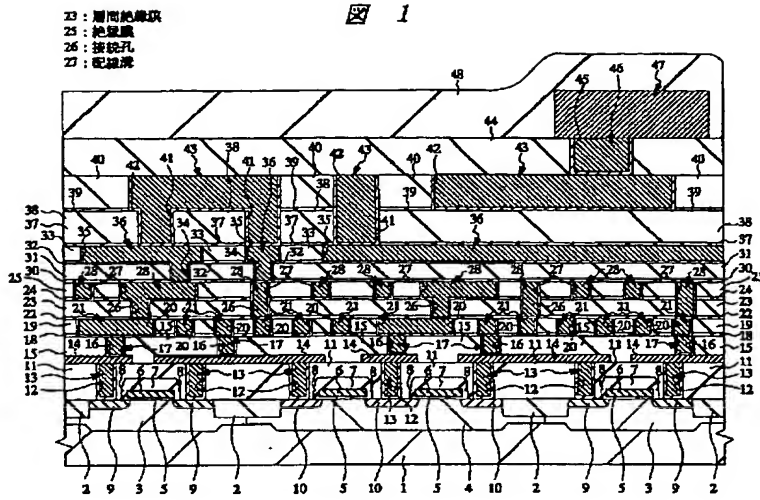
【図 2 5】本発明の実施の形態 3 であるデュアルダマシ
ン配線の変形例を示す半導体基板の要部断面図である。

【図 2 6】本発明の実施の形態 4 である半導体装置を示
す半導体基板の要部断面図である。

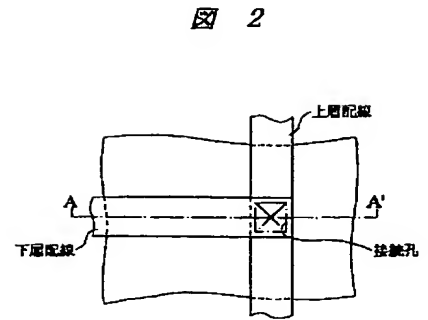
【符号の説明】

- | | |
|-----------------|-----------------|
| 1 半導体基板 | 26 接続孔 |
| 2 素子分離領域 | 27 配線溝 |
| 3 p ウェル | 28 配線 (第 3 配線層) |
| 4 n ウェル | 28 a メッキ層 |
| 5 ゲート絶縁膜 | 29 バリアメタル層 |
| 6 ゲート電極 | 30 キャップ絶縁膜 |
| 7 キャップ絶縁膜 | 31 層間絶縁膜 |
| 8 サイドウォールスペーサ | 32 ストップ絶縁膜 |
| 9 n 型半導体領域 | 33 絶縁膜 |
| 10 p 型半導体領域 | 34 接続孔 |
| 11 第 1 層間絶縁膜 | 35 配線溝 |
| 12 接続孔 | 36 配線 (第 4 配線層) |
| 13 プラグ | 37 キャップ絶縁膜 |
| 14 配線 (第 1 配線層) | 38 層間絶縁膜 |
| 15 第 2 層間絶縁膜 | 39 ストップ絶縁膜 |
| 16 接続孔 | 40 絶縁膜 |
| 17 プラグ | 41 接続孔 |
| 18 ストップ絶縁膜 | 42 配線溝 |
| 19 絶縁膜 | 43 配線 (第 5 配線層) |
| 20 配線溝 | 44 絶縁膜 |
| 21 配線 (第 2 配線層) | 45 接続孔 |
| 22 キャップ絶縁膜 | 46 プラグ |
| 23 層間絶縁膜 | 47 配線 (第 6 配線層) |
| 24 ストップ絶縁膜 | 48 パッシベーション膜 |
| 25 絶縁膜 | 49 接続孔 |
| | 50 プラグ |
| | 51 ストップ絶縁膜 |
| | 52 絶縁膜 |
| | 53 配線溝 |
| | 54 配線 (第 1 配線層) |
| | 55 キャップ絶縁膜 |
| | 56 層間絶縁膜 |
| | 57 ストップ絶縁膜 |
| | 58 絶縁膜 |
| | 59 接続孔 |
| | 60 配線溝 |
| | 61 配線 (第 2 配線層) |
| | PR 1 フォトリソグレイ膜 |
| | PR 2 フォトリソグレイ膜 |
| | BL バリアメタル層 |
| | ML メッキ層 |

【図 1】



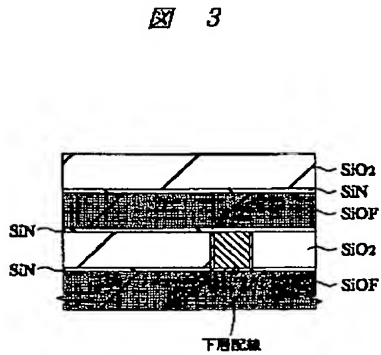
【図 2】



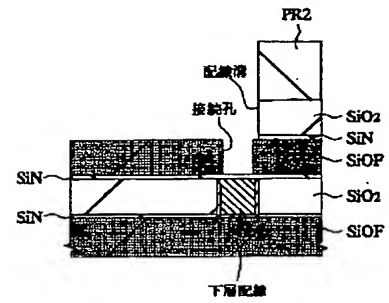
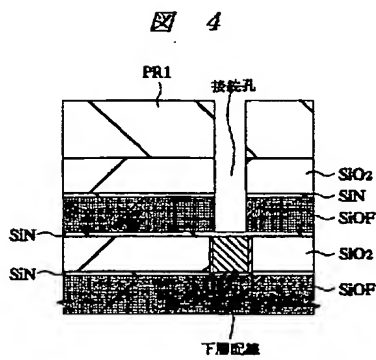
【図 5】

図 5

【図 3】



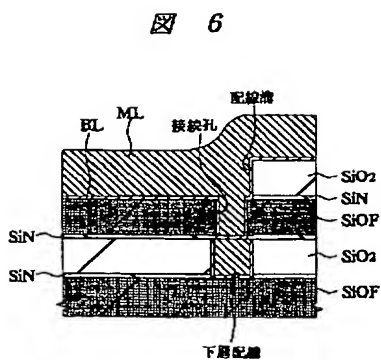
【図 4】



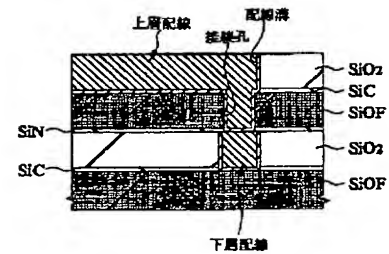
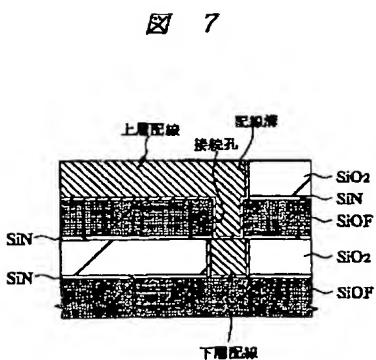
【図 8】

図 8

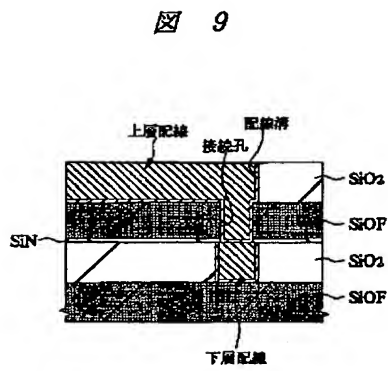
【図 6】



【図 7】

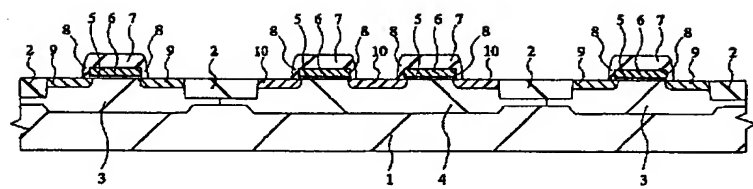


【図 9】



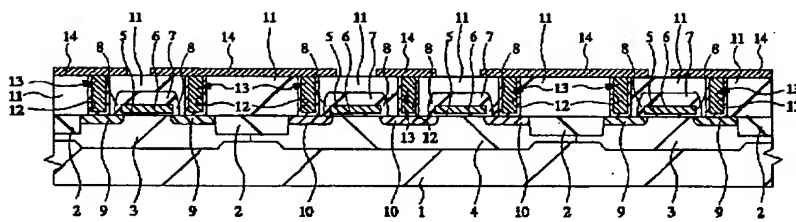
【図 10】

図 10



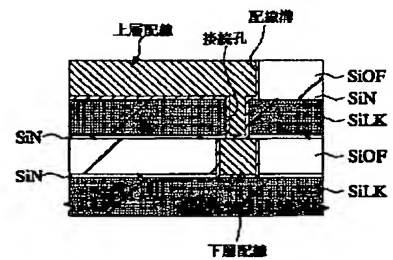
【図 11】

図 11



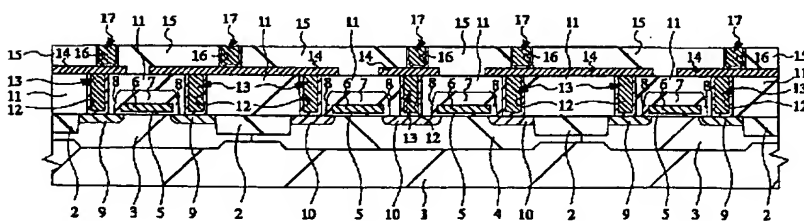
【図 21】

図 21



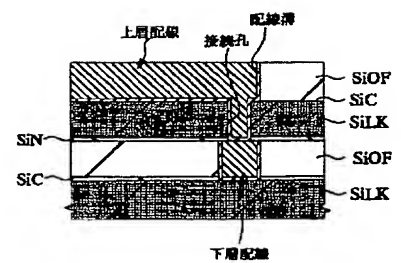
【図 12】

図 12



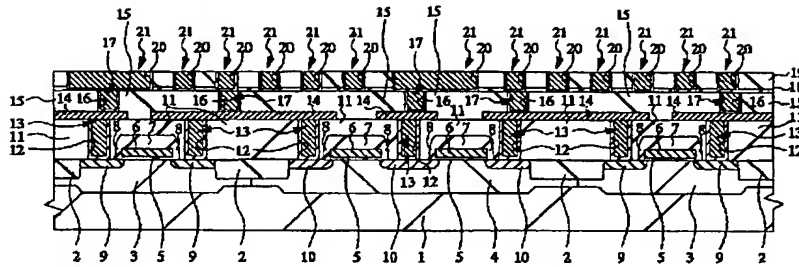
【図 22】

図 22



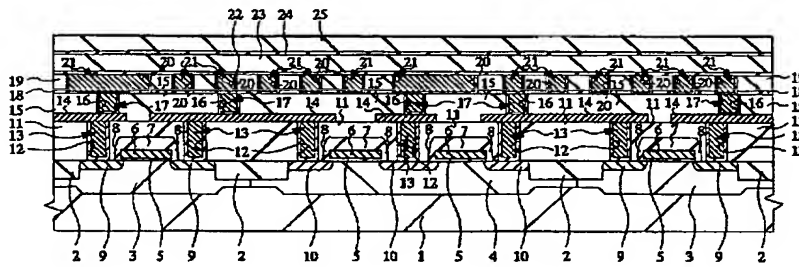
【図 13】

図 13



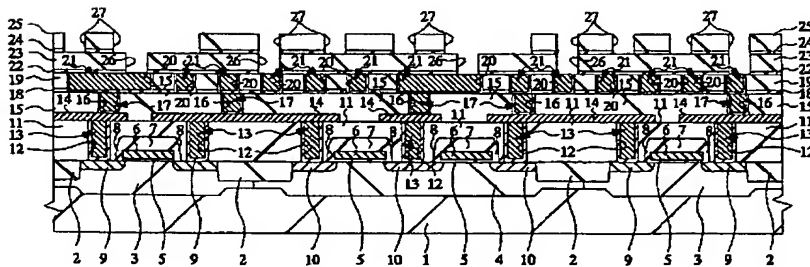
【図 14】

図 14



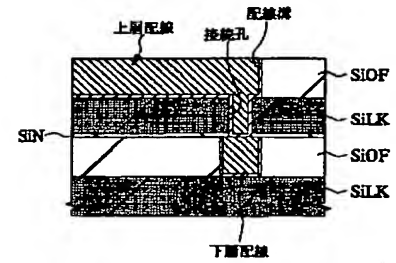
【図 15】

図 15



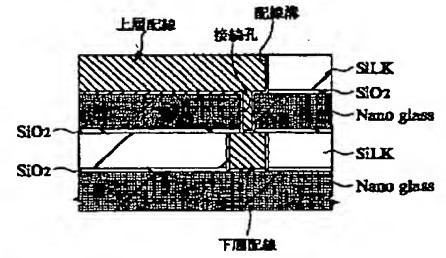
【図 23】

図 23



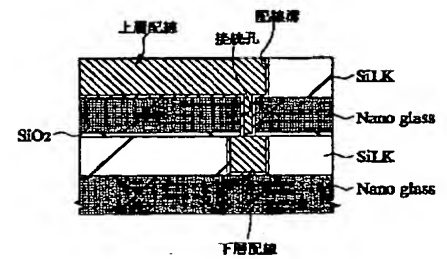
【図 24】

図 24

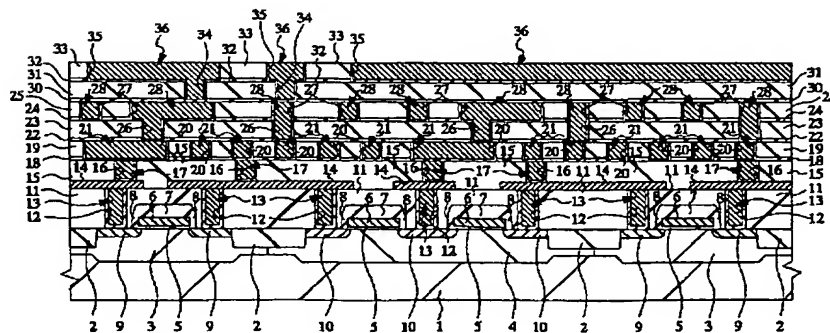
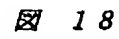
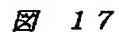


【図 25】

図 25

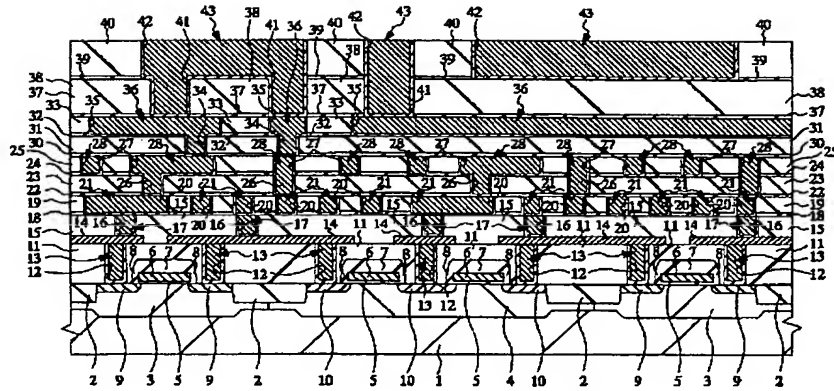


16



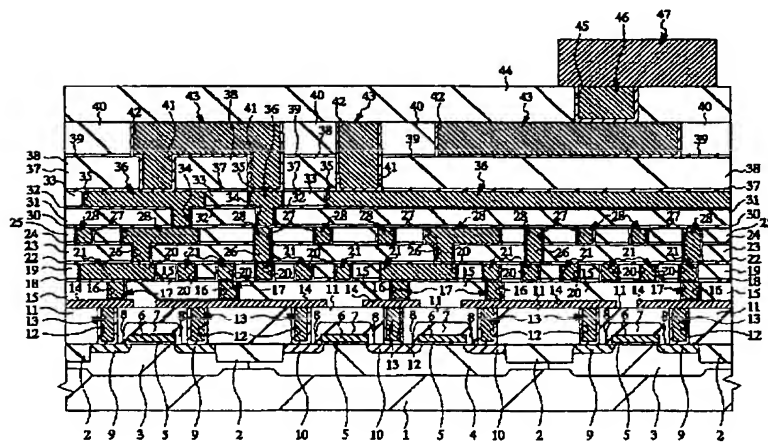
【図 19】

図 19



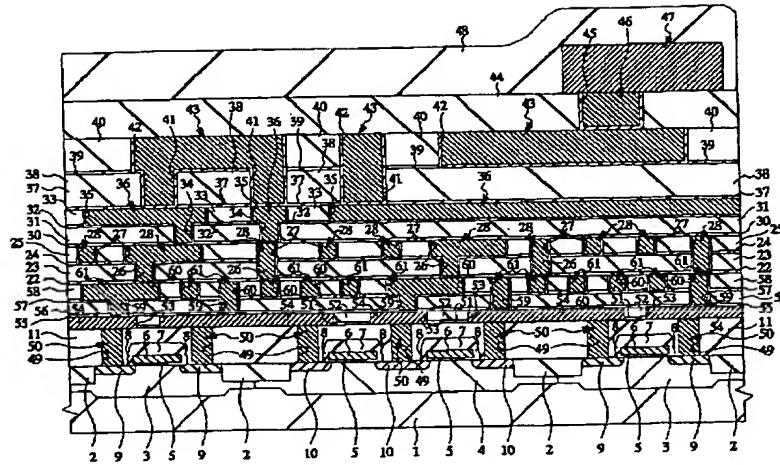
【図 20】

図 20



【図 26】

図 26



フロントページの続き

(72)発明者 青木 英雄

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 大森 一穂

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 4K030 BA36 BA44 BB12 CA04 FA10

LA15

5F033 HH04 HH08 HH11 HH19 HH21

HH27 HH28 HH29 HH30 HH32

HH33 HH34 JJ11 JJ18 JJ19

JJ21 JJ27 JJ32 JJ33 KK01

KK11 KK19 KK21 KK32 KK33

LL04 MM02 MM12 MM13 NN06

NN07 PP06 PP15 PP27 PP28

PP33 QQ25 QQ37 QQ48 QQ70

QQ73 QQ75 RR01 RR04 RR06

RR09 RR11 RR14 RR15 RR21

SS04 SS08 SS11 SS15 SS21

TT01 WW00 WW01 XX05 XX19

XX24

5F048 AC03 BA01 BB06 BB07 BB08

BC06 BE03 BF12

5F058 BA20 BD02 BD04 BD06 BD10

BD18 BF02 BF07 BH13 BJ02